

シリコンVLSIの微細化と ナノMOSトランジスタ

土屋 英昭

神戸大学 工学部 電気電子工学科
電子デバイス研究室

エレクトロニクス

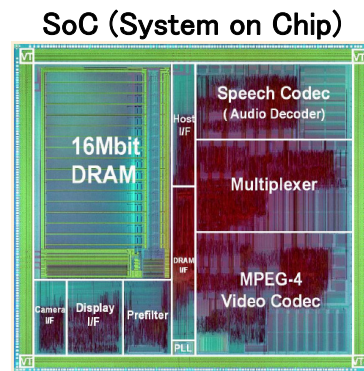


ナノスケールデバイス技術

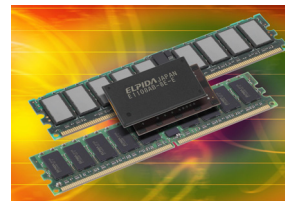
高性能化, 新機能, 高信頼性, 使いやすさ...



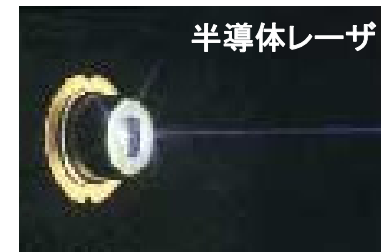
マイクロプロセッサ



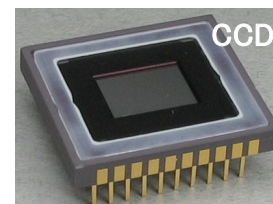
ハードディスク



メモリ



半導体レーザ



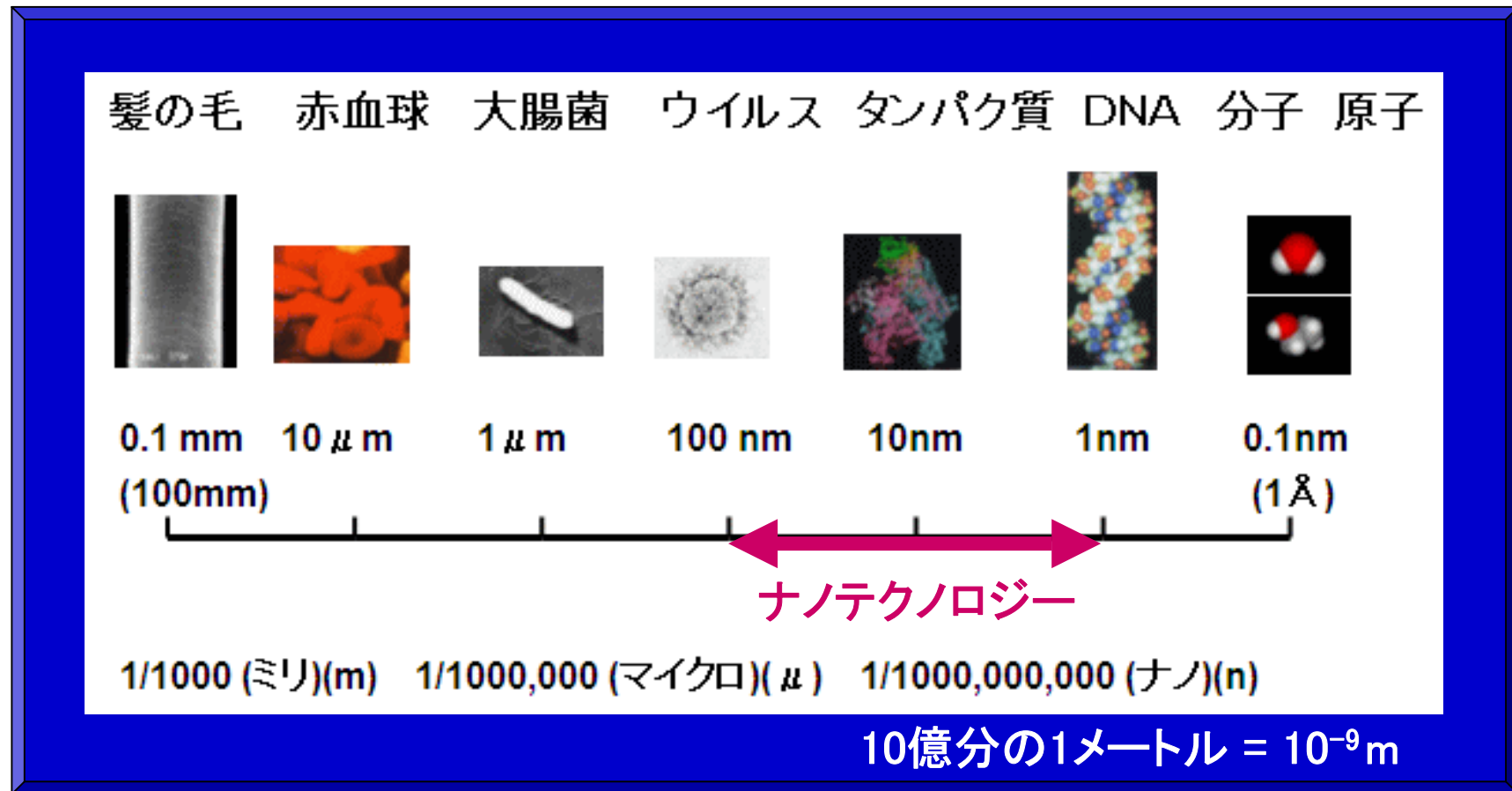
CCD



発光ダイオード

ナノとは？

長さを表わす単位：nm



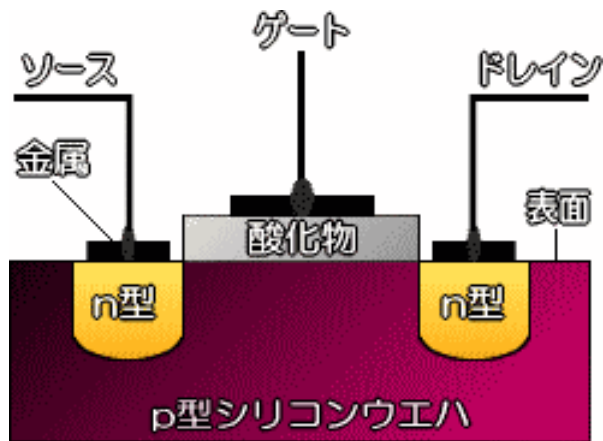
ナノスケールシリコンVLSI技術



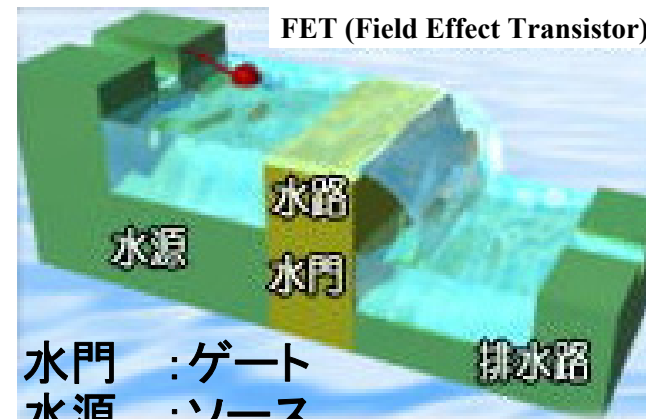
情報化社会に最もインパクトを与えるナノテクノロジー

MOSTランジスタ

- スイッチング素子
- 増幅素子
- MOSキャパシター など

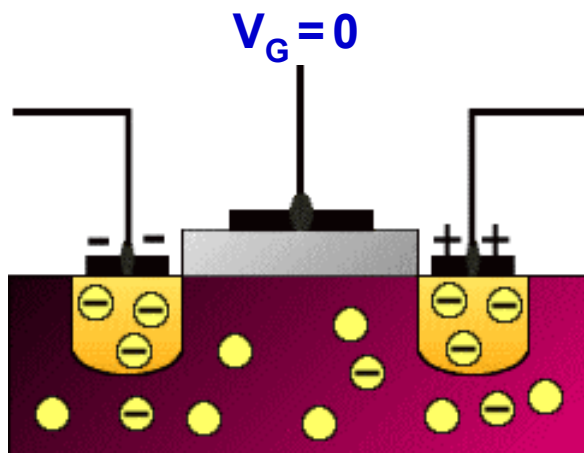


構造

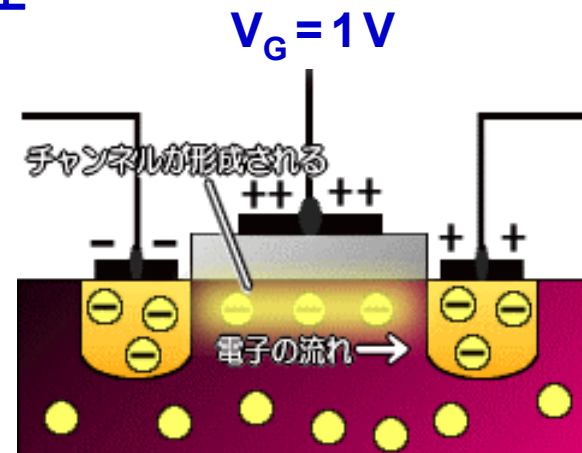


水門 : ゲート
水源 : ソース
排水路 : ドレイン

動作原理



“OFF”



“ON”

・ゲート長
・酸化膜厚

MOSFETの電界一定スケーリング

電圧(ゲート, ドレイン)一定でゲート長を縮小 $\Rightarrow$ ・ 高電界による材料の絶縁破壊
 ・ パンチスルー現象(電流制御不能)

これを避けるのが

電界一定スケーリング(比例縮小則)

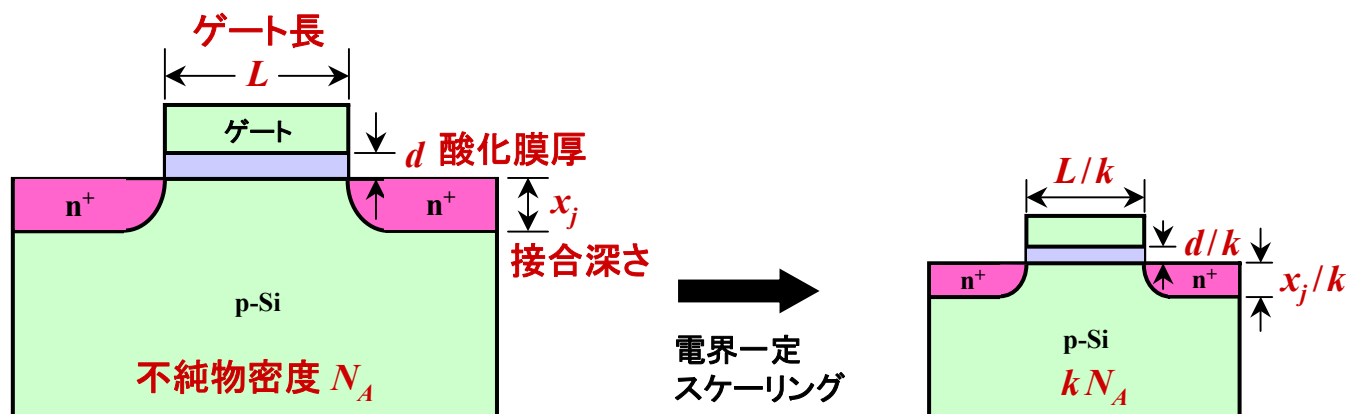


表. 電界一定スケーリング.

デバイス・パラメータ	縮小係数
ゲート長 L	$1/k$
ゲート幅 z	$1/k$
ゲート酸化膜厚 d	$1/k$
接合深さ x_j	$1/k$
基板不純物密度 N_A	k
電圧 $V(V_{GS}, V_{DS}, V_T)$	$1/k$
電界強度 E	1

表. 回路パラメータ.

回路性能	縮小係数
電流 I	$1/k$
ゲート容量 C	$1/k$
遅延時間 CV/I	$1/k$
消費電力 VI	$1/k^2$
消費電力密度 VI/A	1

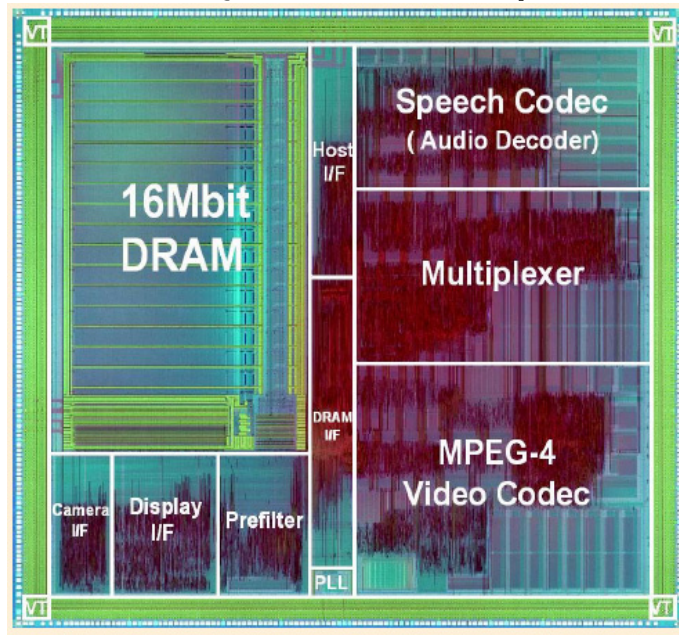
デバイス性能および
回路性能の改善

$\Rightarrow$ LSIの微細化
(指導原理)

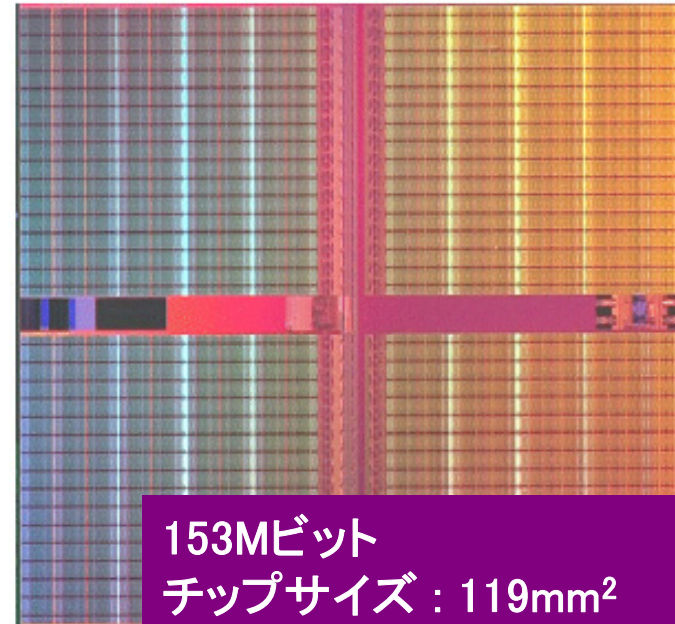
シリコンVLSI

Very Large Scale Integrated circuit
(大規模集積回路)

SoC (System on Chip)

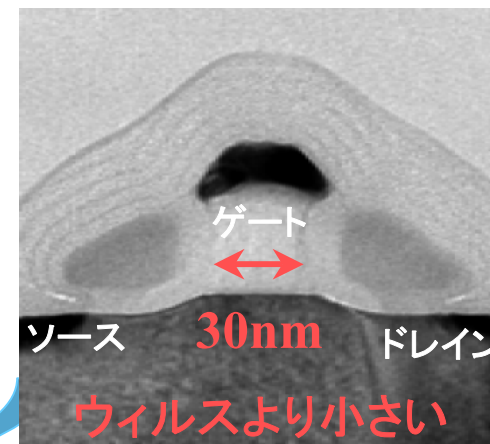
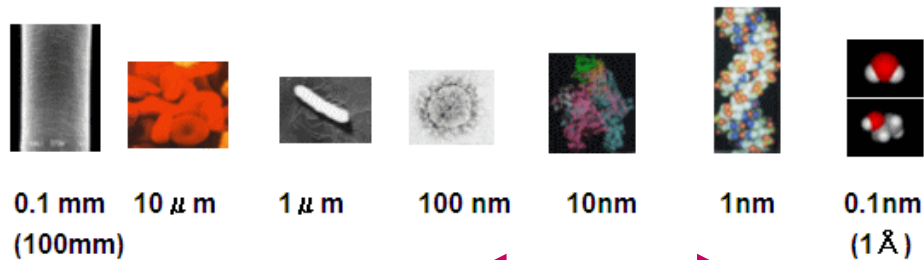


次世代SRAMチップ(45 nmノード)



153Mビット
チップサイズ : 119mm²
トランジスタ数 > 10億個以上

髪の毛 赤血球 大腸菌 ウイルス タンパク質 DNA 分子 原子

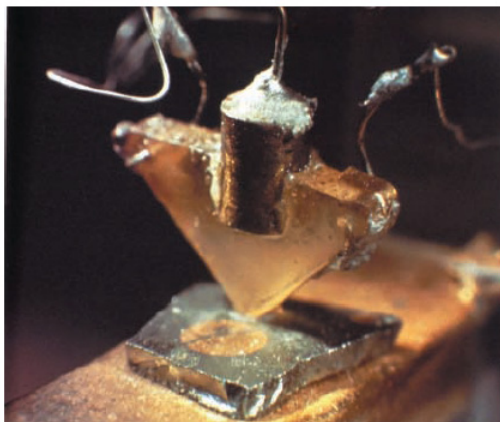


(<http://www.intel.com>)

半導体に関する主なトピックス

年	できごと
1839	硫化銀の導電率が温度変化する現象の発見 (Michael Faraday)
1873	セレンの導電率が光によって変化する現象の発見 (William Smith)
1874	方鉛鉱上の金属線による金属－半導体接合のダイオード特性の発見 (Karl Braun)
1920	セレン整流器や亜酸化銅整流器の普及
1931	量子力学による半導体のウィルソン模型 (Harold Wilson)
1948	点接触トランジスタの発明 (J. Bardeen, W. Brattain)
1951	接合型トランジスタの発明 (William Shockley)
1959	集積回路ICの発明 (Texas Instruments社のJack. S. Kirby) シリコン・プレーナトランジスタの開発 (Fairchild Semiconductor社のJean Hoerni)
1960	MOSFETの発明 (Bell研究所のDawon Kahng, M. M. Atalla)
1961	シリコン・プレーナICの開発 (Fairchild Semiconductor社のRobert Noyce)
1968	Intel社創業 (Robert Noyce, Gordon Moore)
1970	世界初のDRAM “1101” の発表 (Intel社)
1971	世界初のマイクロプロセッサ “4004” の発表 (Intel社)

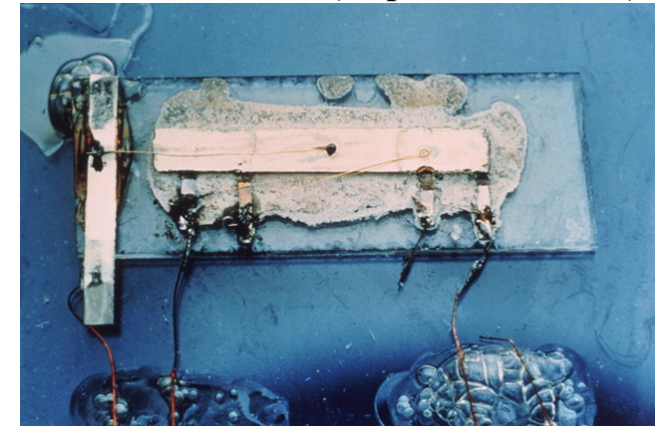
(<http://www.ti.com>)



最初の点接触型トランジスタ
(Lucent Technologies)

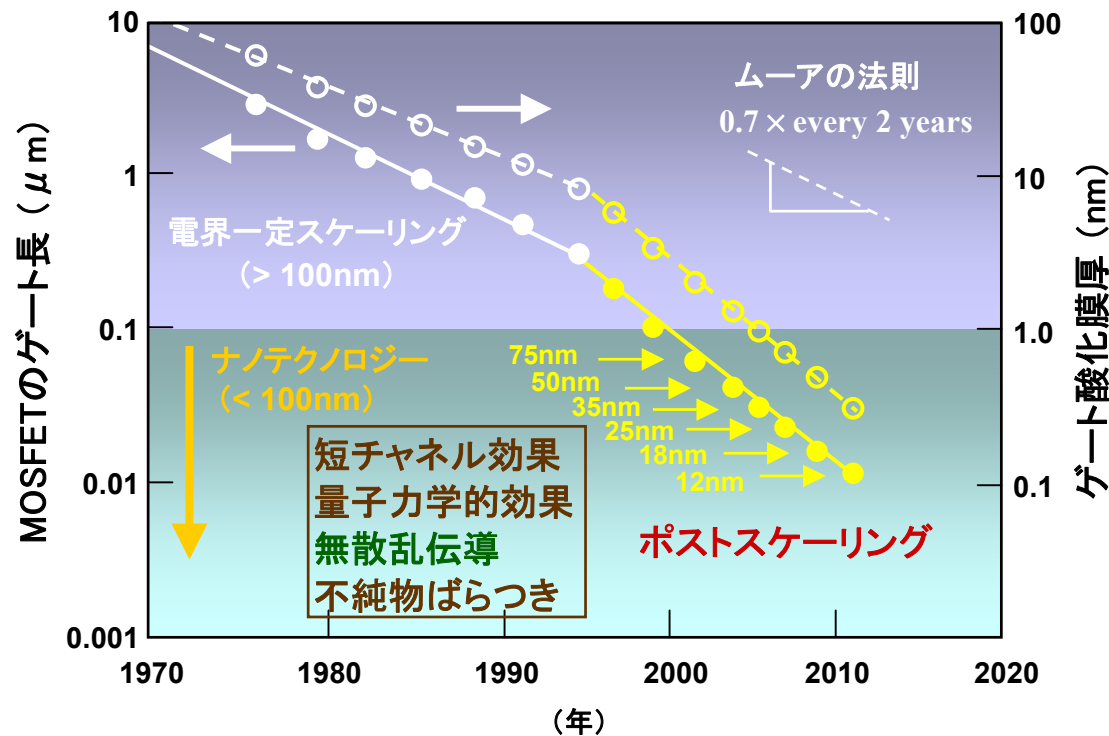


最初の接合型トランジスタ



Kirbyが作ったIC
IC: Integrated Circuit (集積回路)

MOSFETの微細化



LSIの微細化 → 高速化, 高機能化, 高信頼化
比例縮小則 (電界一定スケールリング則)

ポストスケールリング時代

あすかプロジェクト

(産業界)

MIRAIプロジェクト

(経済産業省)

テクノロジーブースター

新材料の導入

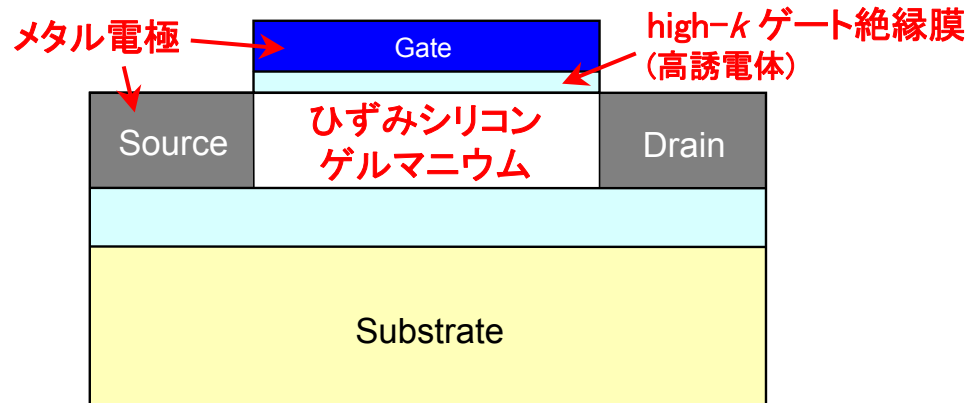
銅配線, low-k, high-k
ひずみシリコン, ゲルマニウム
メタルゲート, メタルS/D

新構造の採用

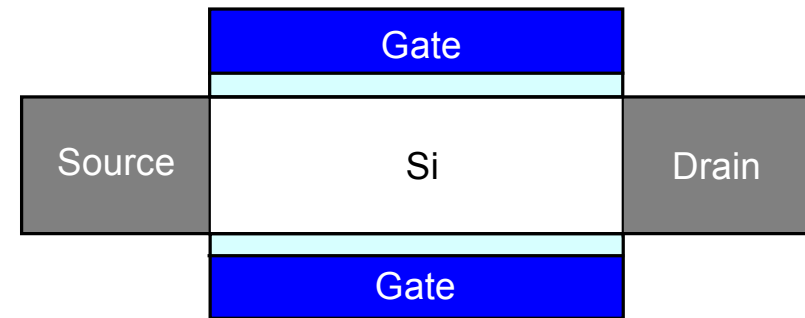
SOI, ダブルゲート, Fin

テクノロジーブースター

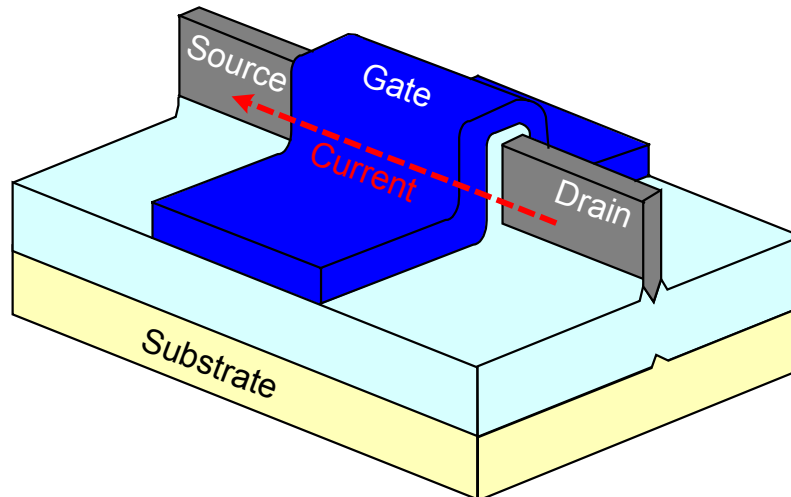
新材料MOSFET



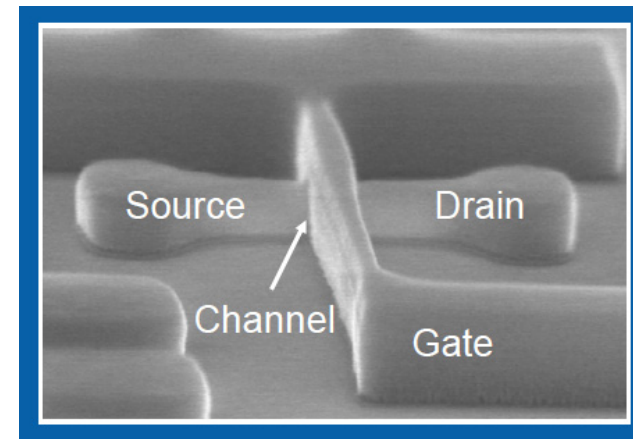
ダブルゲート MOSFET



Fin FET



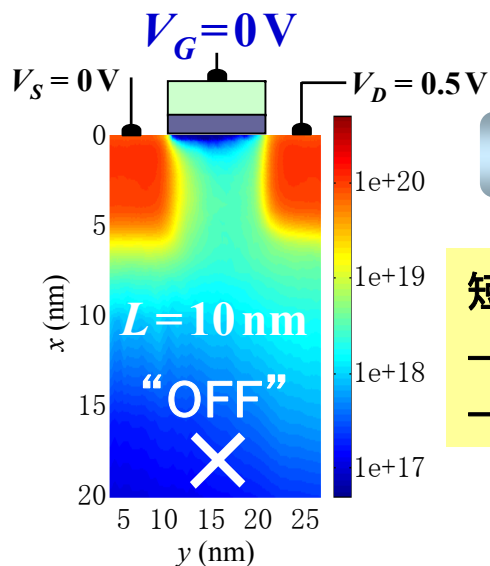
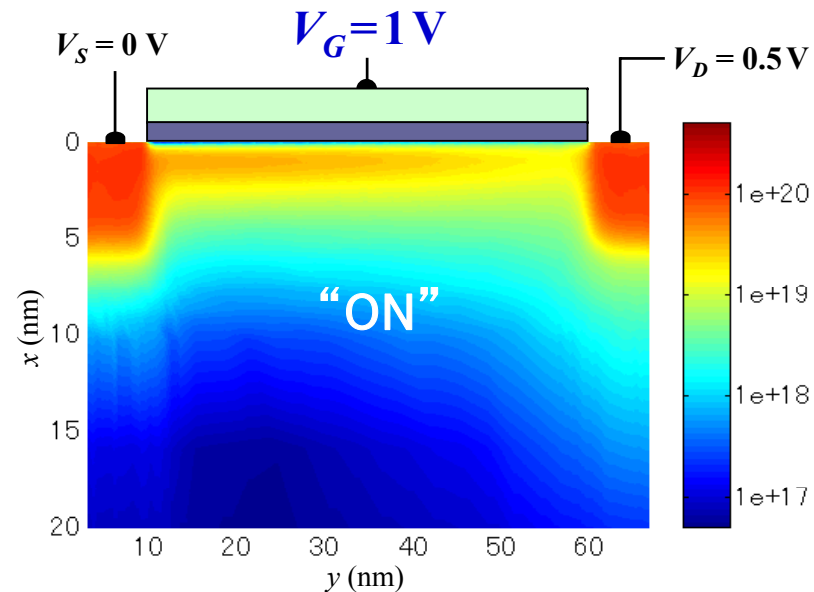
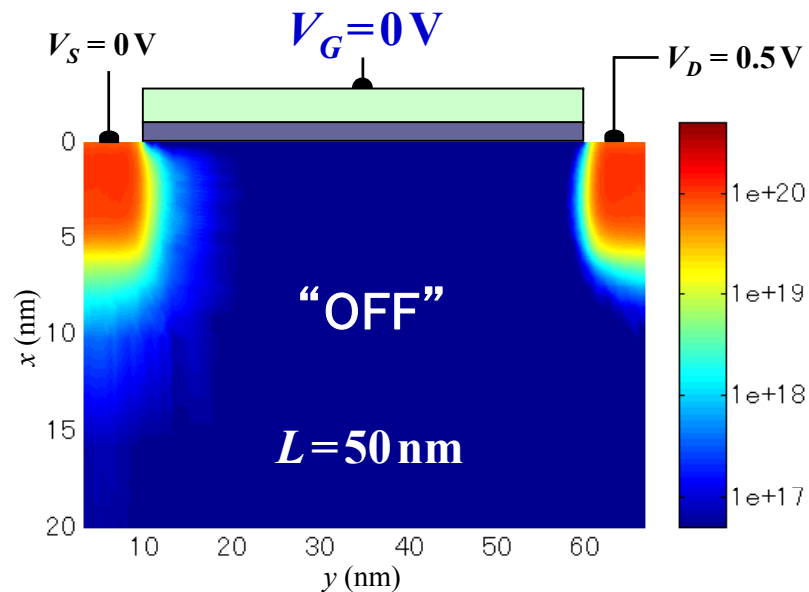
試作例



(<http://www.intel.com>)

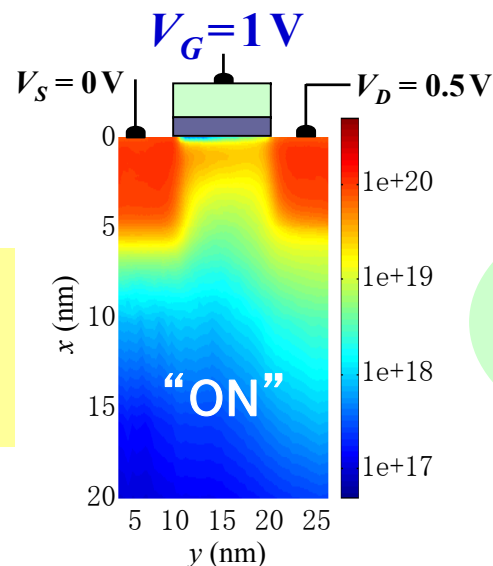
短チャネル効果

ゲート長が短くなると、ゲートによる電流制御が効かなくなる



ゲート長の縮小

短チャネル効果の発生
→ オフ電流の増大
→ 消費電力増大



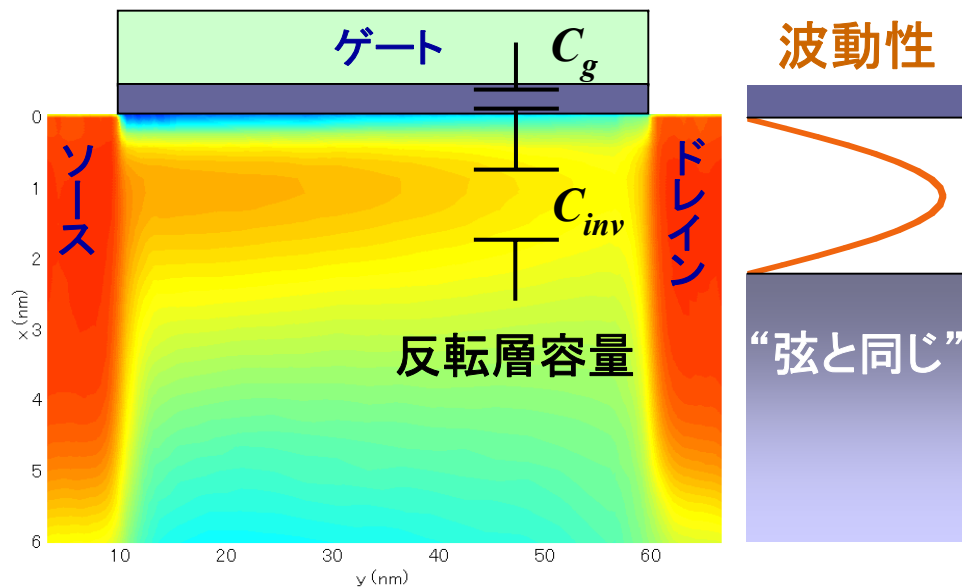
対策
マルチゲート構造
の開発

量子力学的効果(1)

ナノ領域では、電子の波動性がデバイス特性に顔を出す

||

量子閉じ込め効果, トンネル効果



“ON” 状態への影響

ゲート絶縁膜の薄層化



反転層容量の影響が増大

→ オン電流の減少

→ 高速化に障害



基板不純物密度の増大

対策

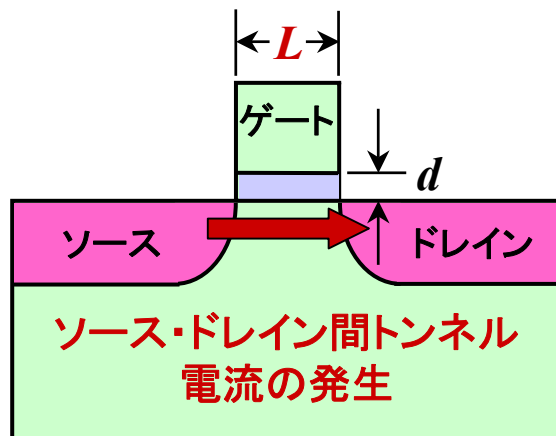
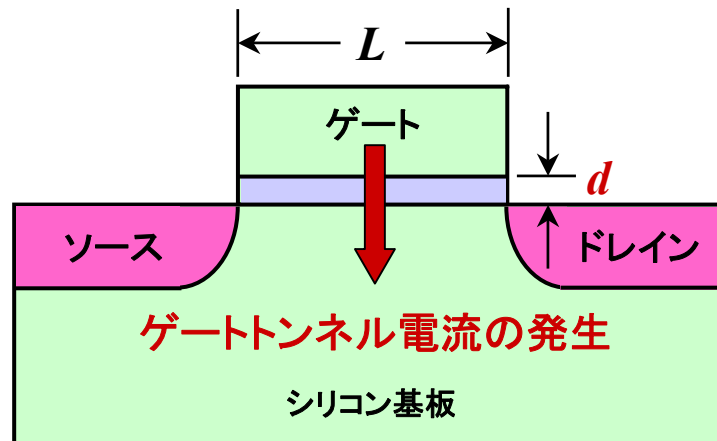
超薄膜SOI構造の開発

量子力学的効果(2)

ナノ領域では、電子の波動性がデバイス特性に顔を出す

||

量子閉じ込め効果, **トンネル効果**



“OFF” 状態への影響

ゲート絶縁膜の薄層化

対策

高誘電率ゲート絶縁膜
(high- k)

トンネル電流の発生

→ オフ電流の増大

→ 消費電力増大

チャネル長の縮小

?

対策

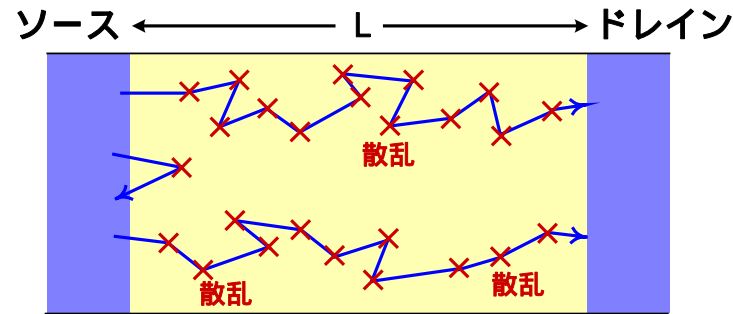
バリスティック伝導（無散乱伝導）

■ ドリフト・拡散伝導

$$L \gg \lambda$$

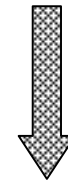
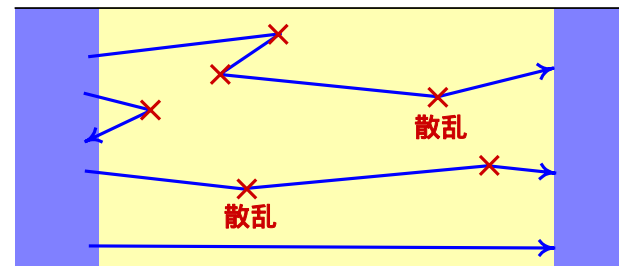
散乱の原因

- ・ 結晶格子の熱振動による擾乱
- ・ 結晶内の不純物との衝突 など



■ 準バリスティック伝導

$$L \approx \lambda$$

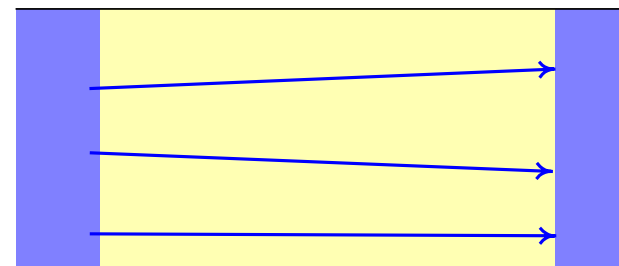


■ バリスティック伝導

$$L \ll \lambda$$

λ : 平均自由行程

(散乱を受けずに走れる距離)



$$\lambda \approx 5 \sim 10 \text{ nm}$$



バリスティック伝導 $\Rightarrow$ オン電流の増大 $\Rightarrow$ VLSI回路の高速化

量子輸送理論に立脚した 量子力学的デバイスシミュレータ

- 量子補正モンテカルロ法
- 非平衡グリーン関数法
- 第一原理計算法



半古典的モデル

- ドリフト・拡散モデル
- エネルギー輸送モデル
- 古典的モンテカルロ法

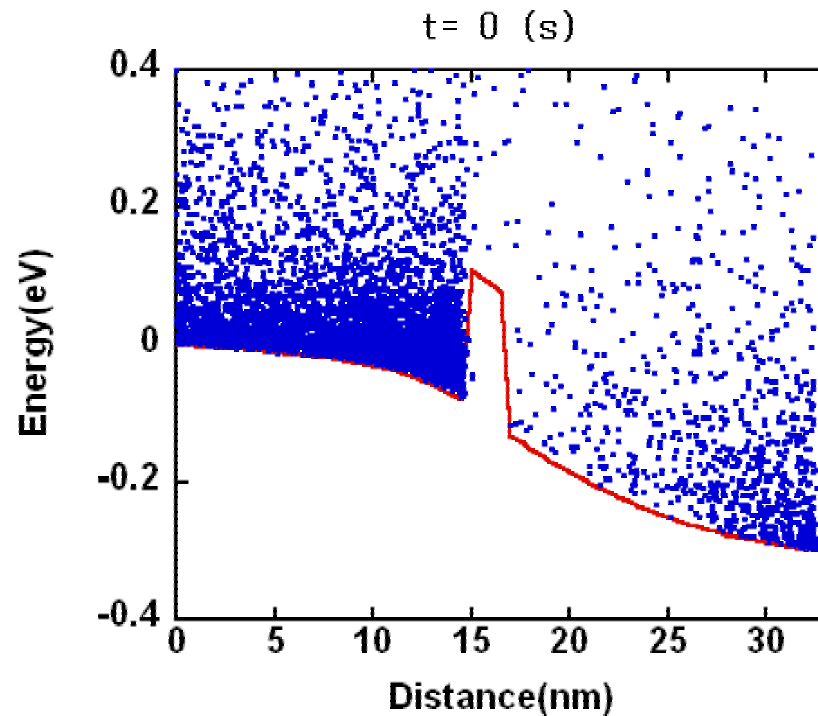
ポストスケールリングデバイス

- 短チャネル効果
- 量子力学的効果
- バリスティック伝導 など

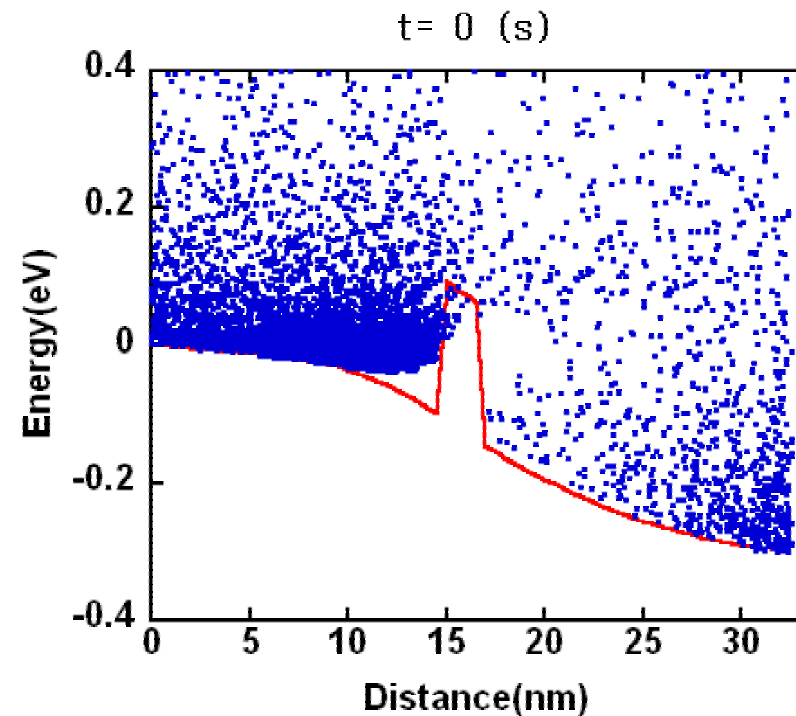
半古典論に基づくデバイスモデルでは、デバイス特性の予測が困難であり、その信頼性が揺らぎ始めている。

量子補正モンテカルロ法のイメージ

古典的モンテカルロ法



量子補正モンテカルロ法



中村俊輔, 卒業研究(2002年)

- トンネル効果
- 量子閉じ込め効果

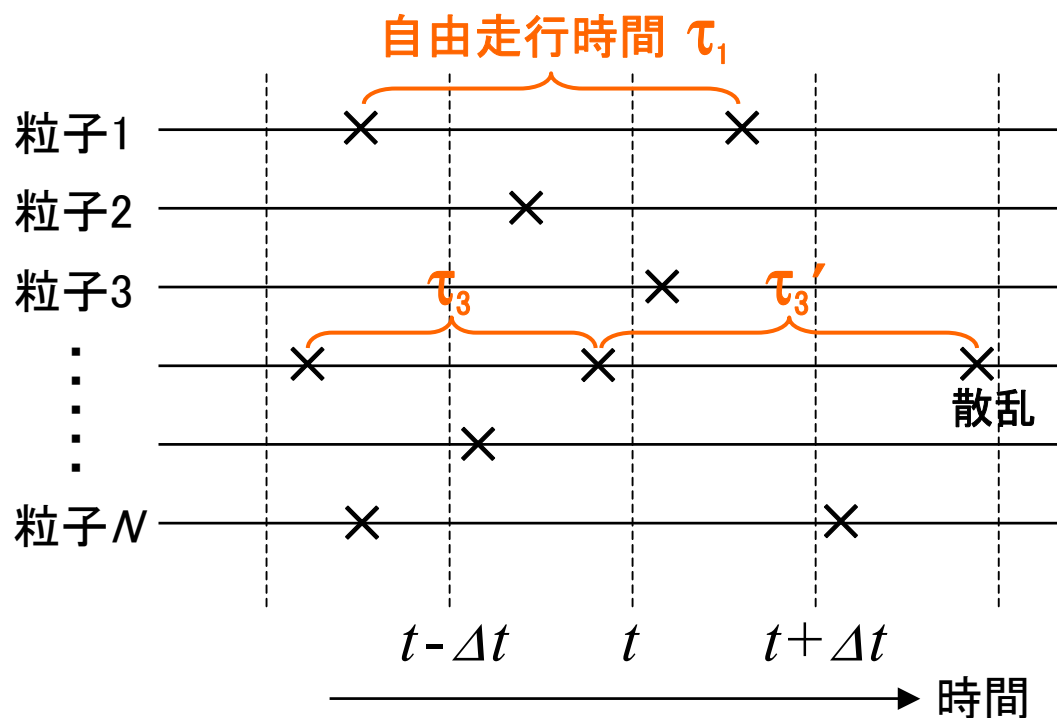
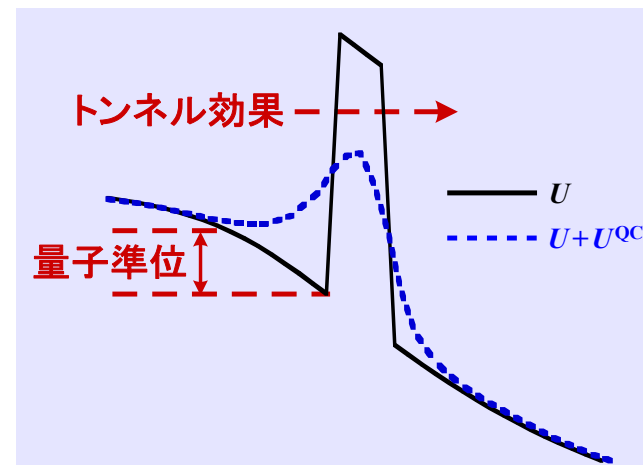
量子補正モンテカルロ法

ニュートンの
運動方程式

$$\frac{dx}{dt} = \frac{p}{m}, \quad \frac{dp}{dt} = F + F^{\text{QC}}$$

散乱過程

運動量とエネルギーの変化



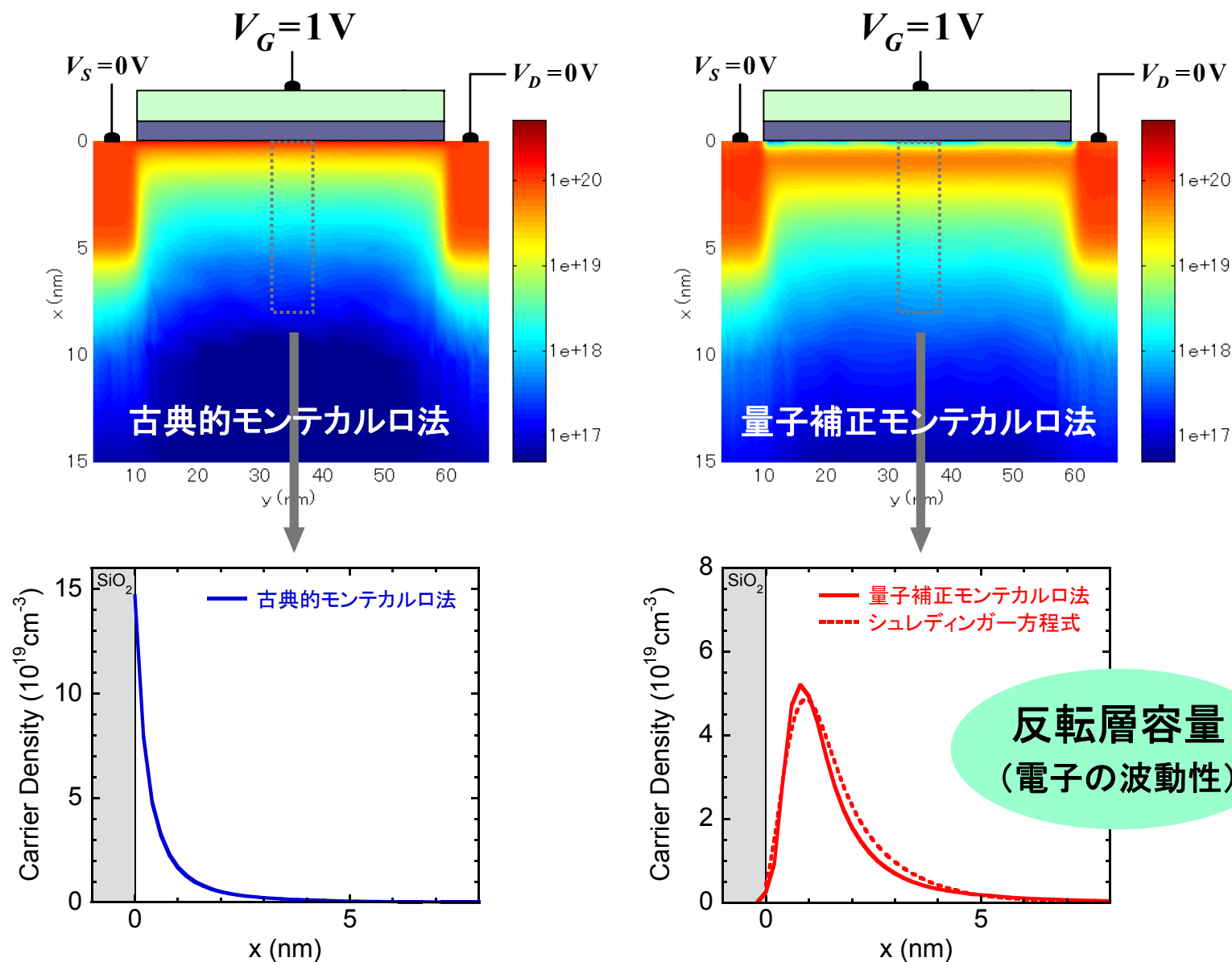
モンテカルロ計算法の流れ図

散乱の種類

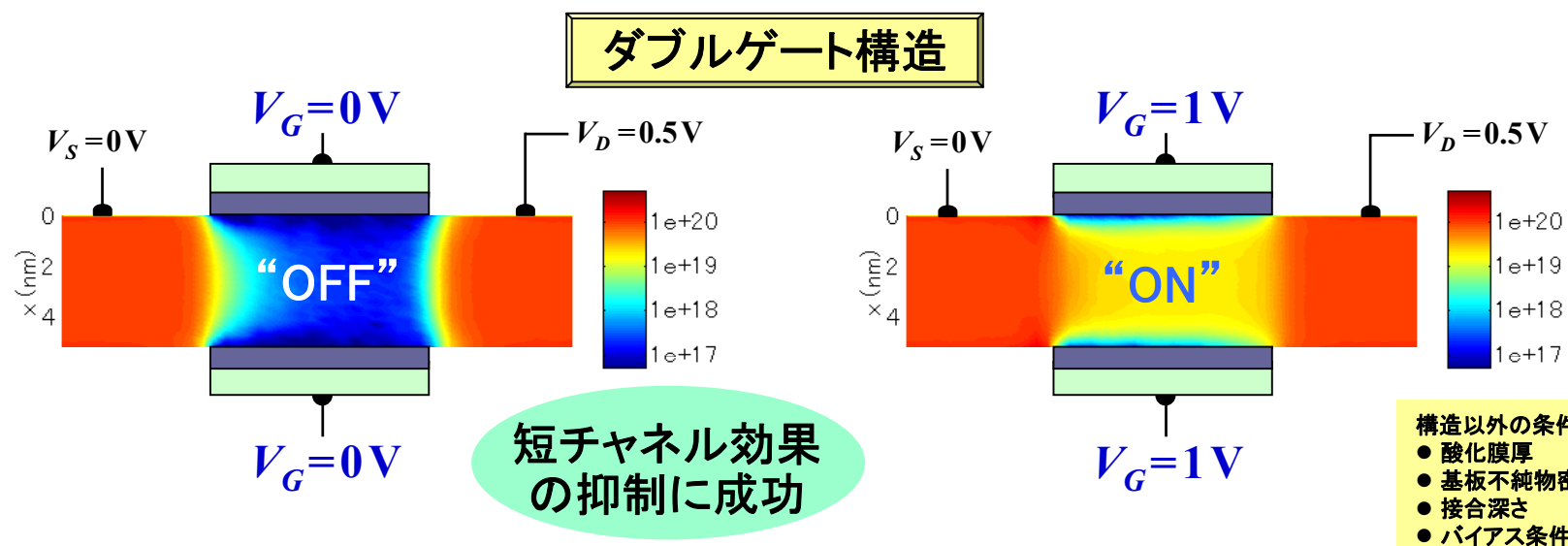
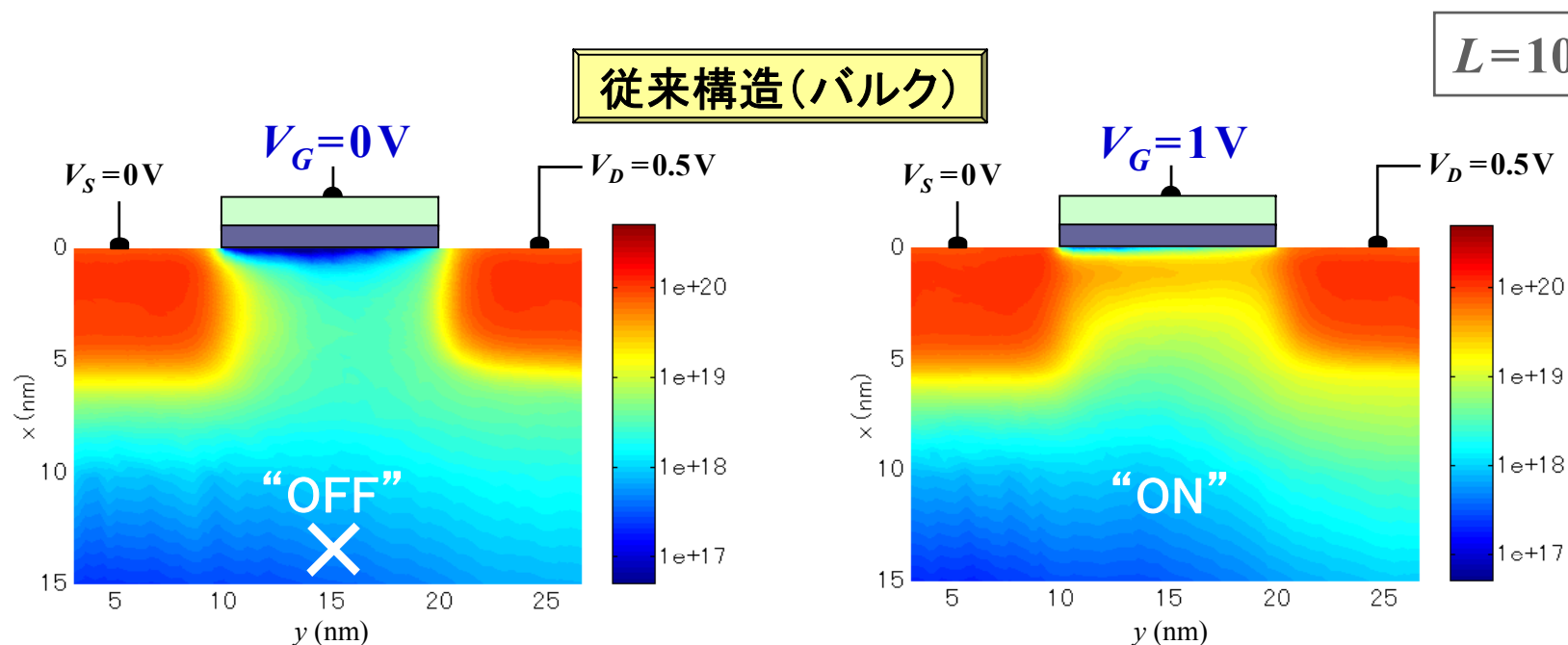
- 結晶格子の熱振動
- 結晶内の不純物
- 表面の凹凸 など

• 自由走行時間
• 散乱の種類など
を乱数[0~1]で選択

計算の妥当性



マルチゲート構造による短チャネル効果の抑制

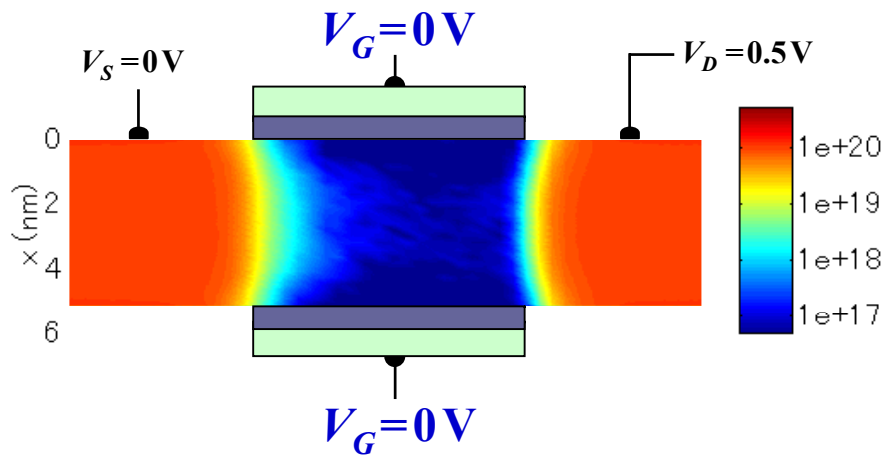


ソース・ドレイン間トンネリング

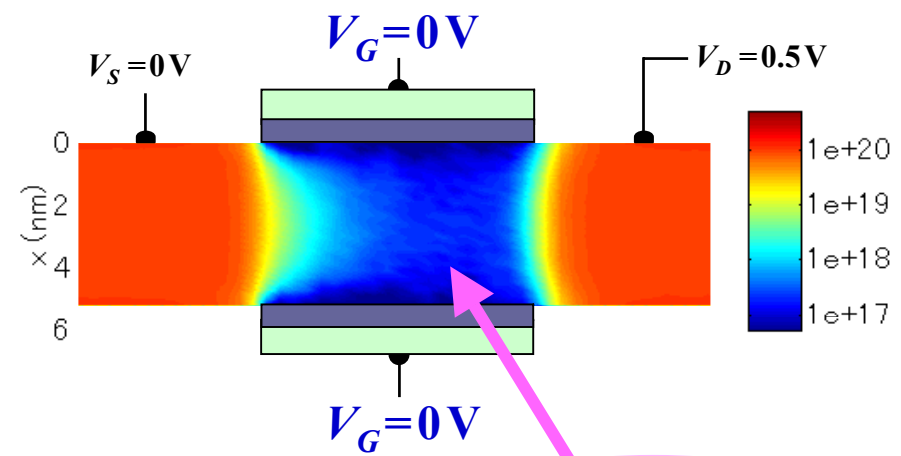
“OFF” 状態

$L = 10 \text{ nm}$

古典的モンテカルロ法



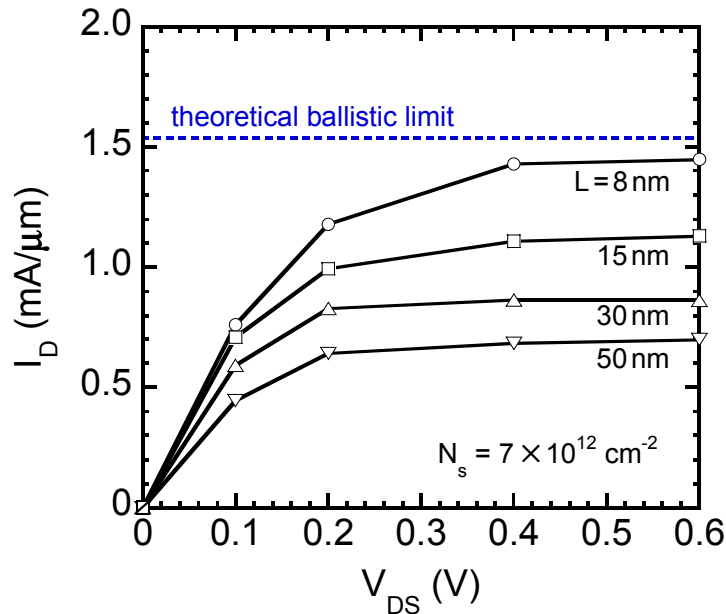
量子補正モンテカルロ法



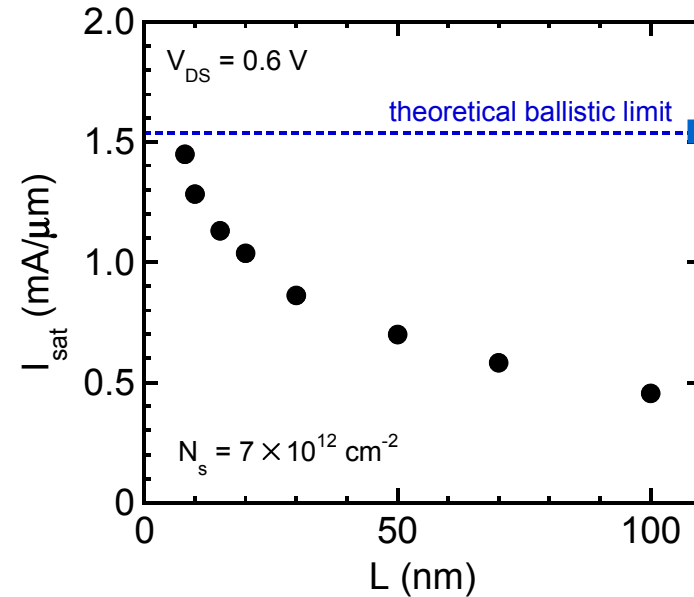
ソース・ドレイン間
トンネリング

バリスティック伝導(性能予測)

■ ドレイン電流-電圧特性



■ ドレイン飽和電流のゲート長依存性



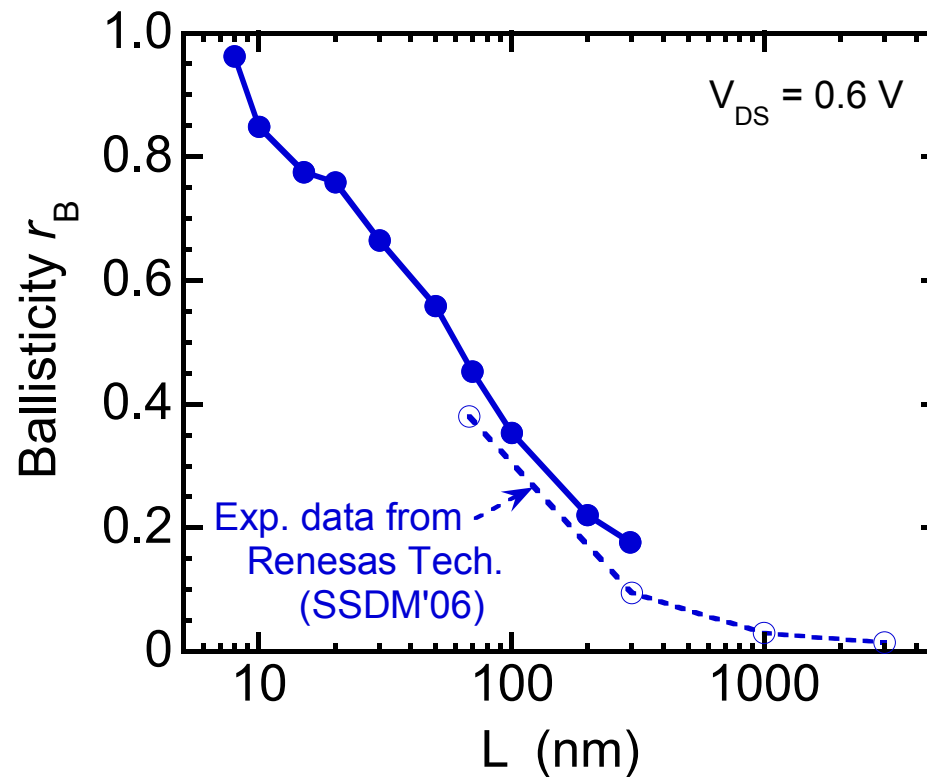
■ 電流はゲート長の縮小とともに増大する

■ ゲート長が8nm以下(サブ10nm)で限界値に接近する

シリコンMOSトランジスタの性能向上限界 → サブ10nm

実験との比較

－ バリスティック効率のゲート長依存性 －



バリスティック効率

$$r_B = \frac{I_{sat}}{I(\text{theoretical limit})}$$

A. Tsuda et al., SSDM'06, pp. 352-353.

新材料の導入

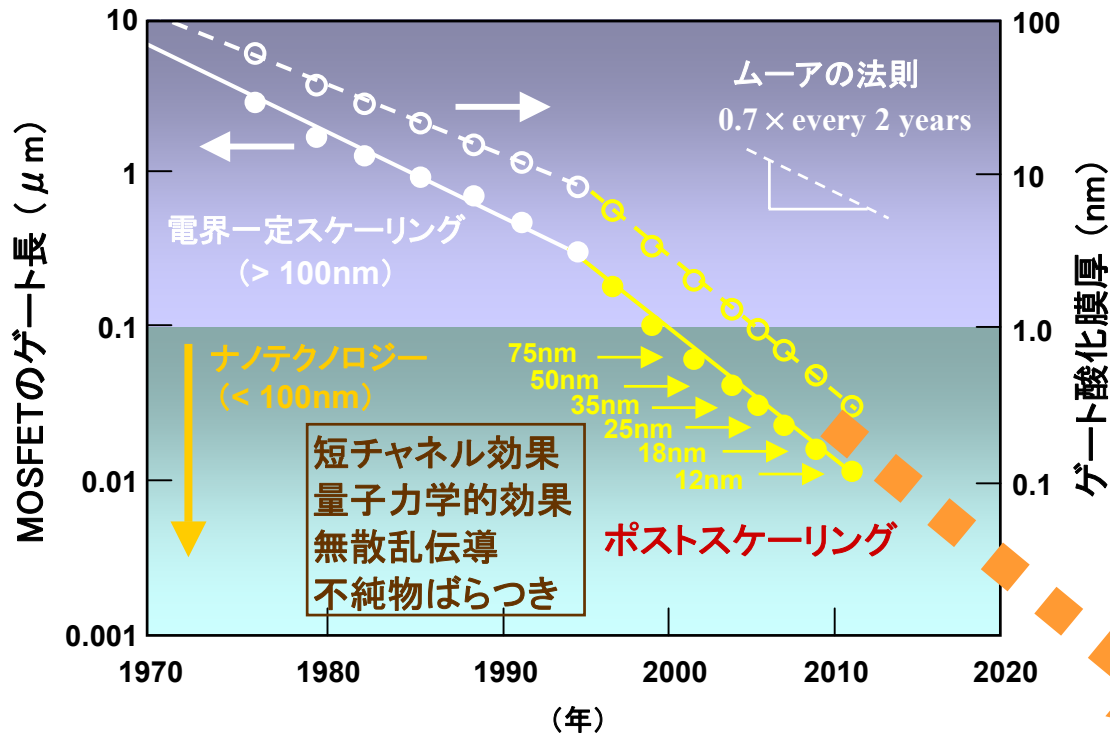
元素の周期律表 (The periodic table of the elements)																		
	1A	2A	3A	4A	5A	6A	7A	8A			1B	2B	3B	4B	5B	6B	7B	0
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
1	1 H 水素																	2 He ヘリウム
2	3 Li リチウム	4 Be ベリリウム											5 B ホウ素	6 C 炭素	7 N 窒素	8 O 酸素	9 F フッ素	10 Ne ネオン
3	11 Na ナトリウム	12 Mg マグネシウム											13 Al アルミニウム	14 Si ケイ素	15 P リン	16 S 硫黄	17 Cl 塩素	18 Ar アルゴン
4	19 K カリウム	20 Ca カルシウム	21 Sc スカンジウム	22 Ti チタン	23 V バナジウム	24 Cr クロム	25 Mn マンガン	26 Fe 鉄	27 Co コバルト	28 Ni ニッケル	29 Cu 銅	30 Zn 亜鉛	31 Ga ガリウム	32 Ge ゲルマニウム	33 As ヒ素	34 Se セレン	35 Br 臭素	36 Kr クリプトン
5	37 Rb ルビジウム	38 Sr ストロンチウム	39 Y イットリウム	40 Zr ジルコニウム	41 Nb ニオブ	42 Mo モリブデン	43 Tc テクネチウム	44 Ru ルテニウム	45 Rh ロジウム	46 Pd パラジウム	47 Ag 銀	48 Cd カドミウム	49 In インジウム	50 Sn スズ	51 Sb アンチモン	52 Te テルル	53 I ヨウ素	54 Xe キセノン
6	55 Cs セシウム	56 Ba バリウム	L ランタノイド	72 Hf ハフニウム	73 Ta タンタル	74 W タングステン	75 Re レニウム	76 Os オスミウム	77 Ir イリジウム	78 Pt 白金	79 Au 金	80 Hg 水銀	81 Tl タリウム	82 Pb 鉛	83 Bi ビスマス	84 Po ポロニウム	85 At アスタチン	86 Rn ラドン
7	87 Fr フランシウム	88 Ra ラジウム	A アクチノイド	104 Rf ラザフォード ウム	105 Db ドブニウム	106 Sg シーボルク ウム	107 Bh ボーリウム	108 Hs ハッシュ ウム	109 Mt マイテナリ ウム									
L ランタノイド			57 La ランタン	58 Ce セリウム	59 Pr プラセオジ ム	60 Nd ネオジ ム	61 Pm プロメチ ウム	62 Sm サマリ ウム	63 Eu ユーロ ピウム	64 Gd ガドリ ニウム	65 Tb テル ビウム	66 Dy ジス プロジ ウム	67 Ho ホル ミウム	68 Er エル ビウム	69 Tm ツリ ウム	70 Yb イッ テル ビウ ム	71 Lu ルテ チウ ム	
A アクチノ イド			89 Ac アクチ ニウ ム	90 Th トリ ウム	91 Pa プロ トアク チニ ウム	92 U ウ ラン	93 Np ネプ ツニ ウム	94 Pu プ ルト ニウ ム	95 Am アメ リシ ウム	96 Cm キュ リウ ム	97 Bk バーク リウ ム	98 Cf カリ ホル ニウ ム	99 Es アイ ンス タニ ウム	100 Fm フェ ルミ ウム	101 Md メン デレ ビウ ム	102 No ノー ベリ ウム	103 Lr ロー レン シウ ム	
Metallic			Trans metallic			Metalloid			Rare gas			Non metallic						

新チャネル材料： ひずみSi, Ge, GaAs, InSb ...

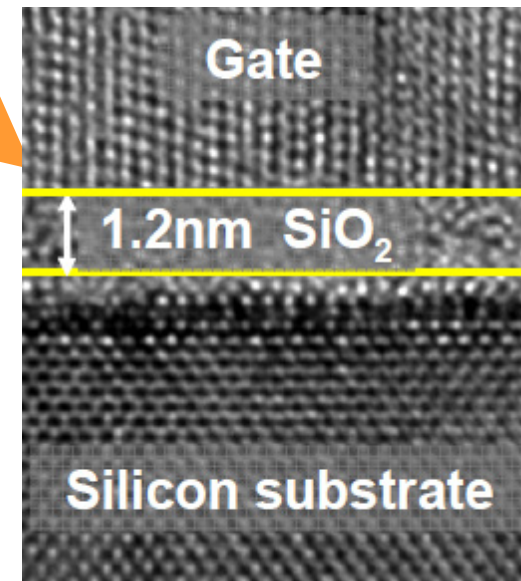
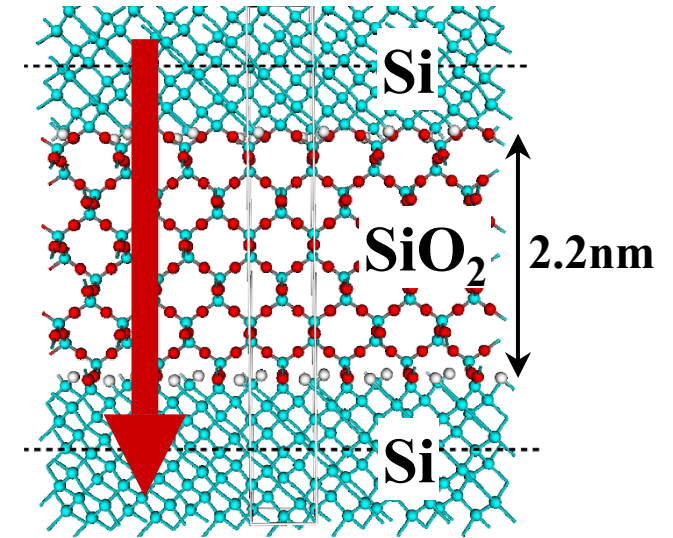
high-k絶縁膜等： Hf, Al, N ...

メタルS/D等： Ni, Pt, C ...

原子スケールデバイス解析



ゲートトンネル電流解析



ナノスケールから原子スケールへ

シリコンVLSI技術の新たな挑戦

産業界への貢献

■ ナノMOS特性の提供

- テクノロジーブースターによる性能向上の見積り ⇒ 微細化限界の予測

■ ナノMOS特性の解析式の考案

- 次世代回路シミュレータへの組み込み

産業界への期待

■ 実験との連携

- ナノMOSFETの電流-電圧特性, バリスティック特性など

■ 量子補正モンテカルロシミュレータの普及

- GUI (設定画面, グラフィックス表示機能等)を装備しパッケージ化

ま と め

シリコンVLSIはスケーリング時代からポストスケーリング時代へ, さらに
原子スケール時代へ

◆ナノ領域では様々な物理現象が顔を出す

- ー テクノロジーブースター (新材料・新構造の導入)で微細化限界の克服を

◆量子力学的デバイスシミュレーションが不可欠

- ー 古典的アプローチの限界

◆量子補正モンテカルロシミュレーションの提案と開発

- ー 妥当性, 実験結果との対応も良好
- ー 高精度なデバイス性能予測が現実的な計算時間で可能

シリコンナノMOSFETの性能予測・設計ツールとして強力な武器

◆今後の展開

- ー 新材料・新構造への対応, 原子スケールデバイス解析

◆産学連携への期待